

DERWENT-ACC-NO: 1986-309732

DERWENT-WEEK: 198647

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: FET having lattice construction  
channel - by alternating  
stacking silicon germanide thin  
layers and silica gate  
insulation layer NoAbstract Dwg 4/4

PATENT-ASSIGNEE: SEIKO EPSON CORP[SHIH]

PRIORITY-DATA: 1985JP-0072889 (April 5, 1985)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	
LANGUAGE		MAIN-IPC	
JP 61230374 A		October 14, 1986	N/A
006	N/A		

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO
APPL-DATE		
JP 61230374A	N/A	
1985JP-0072889	April 5, 1985	

INT-CL (IPC): H01L029/78

ABSTRACTED-PUB-NO:

EQUIVALENT-ABSTRACTS:

DERWENT-CLASS: L03 U11 U12

CPI-CODES: L04-E01A;

EPI-CODES: U11-C01; U12-D02A; U12-D02X; U12-E01;

PAT-NO: JP361230374A

DOCUMENT-IDENTIFIER: JP 61230374 A

TITLE: FIELD-EFFECT TYPE TRANSISTOR AND  
MANUFACTURE THEREOF

PUBN-DATE: October 14, 1986

INVENTOR-INFORMATION:

NAME

OSHIMA, HIROYUKI

IWANO, HIDEAKI

ASSIGNEE-INFORMATION:

NAME

SEIKO EPSON CORP

COUNTRY

N/A

APPL-NO: JP60072889

APPL-DATE: April 5, 1985

INT-CL (IPC): H01L029/78, H01L029/161 , H01L029/80

US-CL-CURRENT: 257/213, 257/E29.056 , 257/E29.078 ,  
257/E29.162 , 257/E29.248  
, 438/FOR.179

ABSTRACT:

PURPOSE: To obtain a MOSFET having large electron mobility and saturated velocity by forming a channel region, in which Si-Ge thin-films of two kinds are laminated alternately, and a gate insulating film consisting of SiO<sub>2</sub> shaped by oxidizing an Si thin-film on the laminated thin-films on an Si substrate.

CONSTITUTION: An SiGe superlattice 404 in which

$\text{Si}_{1-x}\text{Ge}_x$  thin-films ( $0 \leq x \leq 1$ ) 402 and  $\text{Si}_{1-y}\text{Ge}_y$  thin-films ( $0 \leq y \leq 1$ ,  $x \neq y$ ) 403 are laminated alternately is formed onto a single crystal Si substrate 401, and an Si thin-film 405 is grown on the SiGe superlattice 404 in an epitaxial manner. The Si thin-film is oxidized to shape a gate insulating film 406 composed of  $\text{SiO}_2$ . It is desirable that a transistor is kept at a low temperature as much as possible in order to stably maintain SiGe superlattice structure, and it is preferable that a low-temperature oxidation method such as an anodizing method is used. Consequently,  $\text{SiO}_2$  formed through the oxidation of Si is extremely stable, and has high reliability, thus realizing the gate insulating film having small interface level density. Accordingly, a MOSFET having excellent MOS structure can be actualized.

COPYRIGHT: (C)1986,JPO&Japio

## ⑫ 公開特許公報(A)

昭61-230374

⑪ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 昭和61年(1986)10月14日

H 01 L 29/78

8422-5F

29/161

8526-5F

// H 01 L 29/80

7925-5F

審査請求 未請求 発明の数 2 (全6頁)

⑭ 発明の名称 電界効果型トランジスタ及びその製造方法

⑮ 特 願 昭60-72889

⑯ 出 願 昭60(1985)4月5日

⑰ 発 明 者 大 島 弘 之 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内

⑱ 発 明 者 岩 野 英 明 諏訪市大和3丁目3番5号 株式会社諏訪精工舎内

⑲ 出 願 人 セイコーエプソン株式 東京都新宿区西新宿2丁目4番1号  
会社

⑳ 代 理 人 弁理士 最 上 務

## 明 細 書

## 1. 発明の名称

電界効果型トランジスタ及びその製造方法

## 2. 特許請求の範囲

(1) Si基板上に、 $Si_{1-x}Ge_x$ 薄膜( $0 \leq x \leq 1$ )と $Si_{1-y}Ge_y$ 薄膜( $0 \leq y \leq 1, x \neq y$ )を交互に積層させた超格子構造のチャネル領域と、 $SiO_2$ 薄膜から成るゲート絶縁膜を具備したことを特徴とする電界効果型トランジスタ。

(2) Si基板上に、 $Si_{1-x}Ge_x$ 薄膜と $Si_{1-y}Ge_y$ 薄膜を交互に積層する工程と、該積層薄膜上にSi薄膜を堆積させる工程と、該Si薄膜を酸化する工程を含むことを特徴とする電界効果型トランジスタの製造方法。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は電界効果型トランジスタの構造及びそ

の製造方法に関する。

〔発明の概要〕

本発明は、電界効果型トランジスタにおいて、Si基板上のSiGe超格子から成るチャネル領域と、Si薄膜を酸化して成る $SiO_2$ ゲート絶縁膜を具備することにより、大幅な高速動作を可能にすると共に、優れたシリコンテクノロジーを適用して高い信頼性を実現したものである。

〔従来の技術〕

近年、高速動作の可能なトランジスタの開発が活発に行なわれている。これは、従来使用されてきたシリコン(Si)系トランジスタを凌ぐ高速動作を目指すものであり、主にヒ化ガリウム(GaAs)を用いたトランジスタの開発に注力されている。GaAsはSiに比べて5~6倍の電子移動度を有するため、より高速なスイッチングが可能である。しかし、一方でGaAsの表面単位密度はSiよりも桁違いに大きいため、金属-絶縁体-半導体(MOS)構造の実現が不可能であり、トランジスタの構造は金属-半導体(ME

S)型に限定される。ところがMBS電界効果型トランジスタ(MBSFET)では、金属-半導体間に形成されるショットキー障壁の高さが低い。ため、動作電圧が約1V以下に制限されてしまう。この結果、しきい値電圧の余裕度が小さくなり、厳しい均一性が要求されると共に、外部からのノイズに弱くなる。また、低電圧駆動のため高速動作に不利である。

また、GaAs以外の半導体に関しても事情は全く同様である。すなわち、Siでは二酸化シリコン(SiO<sub>2</sub>)という極めて良質なゲート絶縁膜が容易に得られるが、他の半導体ではこれほど良質なゲート絶縁膜は得られない。したがってMOS電界効果型トランジスタの実現は困難である。

〔発明が解決しようとする問題点及び目的〕

このように、電子移動度の大きいGaAsを用いて電界効果型トランジスタを実現しようとする、MOSFETの実現が困難で、欠点の多いMBSFETを用いざるを得ないという問題点があ

速度を実現する。また、Si薄膜を酸化してSiO<sub>2</sub>のゲート絶縁膜とすることにより、安定で信頼性の高いMOS構造を実現する。したがって上記の本発明の構成によれば、電子移動度と飽和速度の大きいMOSFETを実現することが可能となる。

〔実施例〕

以下、実施例に基づいて本発明を詳しく説明する。

第1図は本発明による電界効果型トランジスタの構造を示す断面図である。Si基板101上に、Si<sub>1-x</sub>Ge<sub>x</sub>薄膜(0 ≤ x ≤ 1)102とSi<sub>1-y</sub>Ge<sub>y</sub>薄膜(0 ≤ y ≤ 1, x ≠ y)を交互に積層させたSiGe超格子104が形成されている。この上に、SiO<sub>2</sub>から成るゲート絶縁膜105と、金属または半導体等の導電体から成るゲート電極106が設けられている。107, 108はそれぞれソース領域、ドレイン領域であり、Nチャネル型のトランジスタであればリン(P)、ヒ素(As)等のドナー不純物が、またPチ

タ。一方、Siを用いて電界効果型トランジスタを実現しようすると、MOSFETの実現は可能であるが、電子移動度が小さく、高速動作が難しいという問題点があった。

本発明はこのような問題点を解決するものであり、その目的とするところは、電子移動度と飽和速度の大きいMOSFETを実現して、高速の電界効果型トランジスタを提供することにある。

〔問題点を解決するための手段〕

本発明による電界効果型トランジスタは、Si基板上にSi<sub>1-x</sub>Ge<sub>x</sub>薄膜(0 ≤ x ≤ 1)とSi<sub>1-y</sub>Ge<sub>y</sub>薄膜(0 ≤ y ≤ 1, x ≠ y)を交互に積層させた超格子構造のチャネル領域と、該積層薄膜上のSi薄膜を酸化して形成したSiO<sub>2</sub>のゲート絶縁膜を具備したことを特徴とする。

〔作用〕

Si<sub>1-x</sub>Ge<sub>x</sub>薄膜(0 ≤ x ≤ 1)とSi<sub>1-y</sub>Ge<sub>y</sub>薄膜(0 ≤ y ≤ 1, x ≠ y)を交互に積層させた超格子(以下、SiGe超格子と記す。)構造により、Siの約3倍という高い電子移動度と飽和

チャネル型のトランジスタであればボロン(B)等のアクセプタ不純物が添加されている。これらは層間絶縁膜109に開口されたコンタクトホールを介してソース電極110、ドレイン電極111に接続されている。本発明による電界効果型トランジスタの構造上の特徴は、SiGe超格子から成るチャネル領域と、SiO<sub>2</sub>から成るゲート絶縁膜にある。

第2図は本発明の電界効果型トランジスタのチャネル領域に用いられるSiGe超格子の断面図である。Si基板201上に、Si<sub>1-x</sub>Ge<sub>x</sub>薄膜202とSi<sub>1-y</sub>Ge<sub>y</sub>薄膜203から成るSiGe超格子204が形成されている。このSiGe超格子により、Siの約3倍にも達する高い移動度と飽和速度が実現される。これに関する理論的根拠は、“Theory of silicon superlattices: Electronic structure and enhanced mobility” J. Appl. phys., Vol.54, No.4, p. 1892 (1983)に述べられている。すなわち、SiGe超格子により電子状態が変化し、電子または正孔の有

効質量が減少するために、キャリアの移動度が増大する。SiあるいはSiGe等のIV族系半導体における移動度は、主にフォノン散乱により決定される。フォノン散乱が支配的な場合の移動度 $\mu$ は、キャリアの有効質量 $m^*$ と次の関係にある。

$$\mu \propto (m^*)^{-\frac{5}{2}}$$

SiGe超格子では、Siに比べて有効質量 $m^*$ が0.65~0.7倍に減少するため、移動度は約3倍に増大する。また上記の文献には述べられていないが、電子の飽和速度も同様にフォノン散乱により決定するため、有効質量が減少することにより、移動度のみならず飽和速度も約3倍に増大する。

また、Siの格子定数(543 Å)はGeの格子定数(566 Å)と一致しないため、Si基板上へのSiGe薄膜のエピタキシャル成長は困難のように思われるが、これは次の理由により可能である。すなわち、SiGe超格子では各層の薄膜の膜厚が極めて薄い(例えば100 Å以下)ため、弾性範囲内で各層が格子定数の不一致による

GeAsに対して、トランジスタ微細化が進行して高電界領域での動作が主体となる場合には、同様に約3倍の高速化が可能となる。

第4図は本発明による電界効果型トランジスタの製造方法を示す工程図である。

まず第4図(a)のように、単結晶Si基板401上にSi<sub>1-x</sub>Ge<sub>x</sub>薄膜(0 ≤ x ≤ 1)402とSi<sub>1-y</sub>Ge<sub>y</sub>薄膜(0 ≤ y ≤ 1, x ≠ y)を交互に積層させたSiGe超格子を形成する。組成比は例えばx = 0.2, y = 0.4であり、膜厚は例えばそれぞれ50 Åである。薄膜の形成には、例えばモノシラン(SiH<sub>4</sub>)とゲルマン(GeH<sub>4</sub>)を原料とした熱分解法(気相成長法)を用いる。これらのガスの流量を制御することにより組成比を制御すると共に、超格子構造を形成する。あるいは分子線エピタキシャル法(MBE)を用いてもよい。

次に第4図(b)のように、SiGe超格子の上にSi薄膜405をエピタキシャル成長させる。膜厚は例えば45 Åである。

歪を吸収、緩和することが可能となり、いわゆる歪入り超格子(Strained Layer Superlattice)が実現される。これによりSi基板上に高品質の単結晶SiGe超格子を形成することが可能となる。

第3図は上記のように構成されたSiGe超格子における電子のドリフト速度と外部電界強度の関係を示すグラフである。縦軸は電子のドリフト速度を、横軸は電界強度を示している。図中、実線のカーブがSiGe超格子の場合を表している。比較のため、Siのカーブを破線で、またGaAsのカーブを一点鎖線で付記してある。移動度は低電界領域におけるカーブの傾きに対応し、飽和速度は高電界領域におけるドリフト速度に対応する。図より明らかなように、SiGe超格子では移動度、飽和速度共にSiの約3倍に達する。GaAsと比較しても、移動度の値は近く、飽和速度は約3倍の値に達する。このことは、SiGe超格子ではあらゆる電界領域でSiの約3倍の高速化が実現できることを意味している。また、

さらに第4図(c)のように、(b)で形成したSi薄膜を酸化して、SiO<sub>2</sub>のゲート絶縁膜を形成する。膜厚は100 Åである。Si薄膜の酸化には通常の熱酸化法を用いてもよいが、SiGe超格子構造を安定に維持するためにはできるだけ低温であることが望ましく、陽極酸化法、プラズマ陽極酸化法、高圧酸化法などの低温酸化法を用いる方がよい。このようにSiの酸化により形成されたSiO<sub>2</sub>は、従来のシリコンテクノロジーとして知られる通り、極めて安定で信頼性が高く、界面単位密度の小さいゲート絶縁膜を実現する。これにより良好なMOS構造、MOSFETを実現することが可能となる。

次に第4図(d)のように、金属または半導体などの導電体から成るゲート電極407を形成した後、イオン打ち込み法により適当な不純物を添加し、ソース領域408及びドレイン領域409を形成する。不純物の活性化には通常のアニールを行なってもよいが、前述の通り、低温・短時間の処理が望ましく、光エネルギーや電子ビームな

どによるトランジエントアニール法を用いる方がよい。これは、極めて短時間で不純物の活性化を可能にし、SiGe超格子の破壊を防止する。

最後に第4図(e)のように、SiO<sub>2</sub>などの層間絶縁膜410を堆積させた後、コンタクトホールを開口し、金属等の導電体を用いたソース電極411及びドレイン電極412を形成して本発明の電界効果型トランジスタは完成する。

第5図は本発明による電界効果型トランジスタの特性を示すグラフである。このグラフは、第3図に示したドリフト速度と電界強度の関係を用いて計算したコンピュータシミュレーションの結果に基づいている。用いたパラメータは、チャネル長 $L=1\mu m$ 、チャネル幅 $W=10\mu m$ 、ゲート絶縁膜(SiO<sub>2</sub>)の膜厚 $t_{ox}=100\text{\AA}$ である。第5図(a)はドレイン電流 $I_D$ とドレイン電圧 $V_D$ 、ゲート電圧 $V_G$ の関係を示している。第5図(b)は、相互コンダクタンス $g_m$ と $V_D$ 、 $V_G$ の関係を示している。特に相互コンダクタンス $g_m$ はトランジスタの高速性を直接的に表わす値

と共に増大される点である。周知の如く、トランジスタはその性能向上のために、微細化の方向に進んでいる。しかし、微細化するにつれて、ソース・ドレイン間の電界強度が増大するために、トランジスタの動作スピードはキャリアの飽和速度律速になってくる。すなわち、低電界領域における移動度がいかに大きくても、高電界領域における飽和速度が小さくては、もはやトランジスタの高速化は望めない。本発明による電界効果型トランジスタでは、チャネル領域にSiGe超格子を用いるため、第3図に示すように、SiやGaAsの約3倍という高い飽和速度を有している。したがって微細化して高電界領域における動作が主体になるにつれて、他のトランジスタに比べて高速性を発揮するようになる。

第3に、MOSFETの実現が可能な点である。これにより高いゲート電圧の印加が可能となり、第1の効果で述べた高速性に寄与することはもちろんであるが、多くの実用と高い安定性・信頼性を有していることも大きい効果である。特に、

であり、 $g_m$ が大きいほど高速に動作するといえる。図から明らかなように、MOS構造による高い印加電圧と、SiGe超格子による高い移動度と飽和速度のために、 $1000\text{ m s}^{-1}/\text{mm}$ という極めて大きい $g_m$ が得られている。これはGaAsを用いたMESFETの約 $300\text{ m s}^{-1}/\text{mm}$ 、高電子移動度トランジスタ(HEMT)の約 $450\text{ m s}^{-1}/\text{mm}$ に比べて2~3倍大きい値であり、本発明による電界効果型トランジスタが優れた高速性を備えていることを顕著に示している。

#### 〔発明の効果〕

本発明は以下に述べるような優れた効果を有している。

第1に、極めて高速な動作が可能な点である。これはSiGe超格子による高い移動度と飽和速度、及びMOSFETの実現による高い印加電圧に起因するものである。前述の如く、 $L=1\mu m$ において、GaAsMESFETの3倍もの高速動作が可能である。

第2に、前記の高速性がトランジスタの微細化

ゲート絶縁膜はSi薄膜の酸化により形成されるため低い界面単位密度を実現することができる。

第4に相補型MOSFET(OMOS)の実現が可能な点である。トランジスタの微細化の限界は自らの発熱により決まる。このため、消費電力が小さく発熱の少ないOMOSの実現が可能なことは大きい効果となる。本発明の電界効果型トランジスタでOMOSが可能な理由は、界面単位密度が十分小さく、電子と正孔の移動度の値が近いためである。GaAs等の化合物半導体では界面単位密度が大きく、電子と正孔の移動度が大幅に異なるため、OMOSは極めて困難である。

第5はSi基板とシリコンテクノロジーが使え点である。Si基板は、半導体集積回路からの需要を背景に、大面積で良質な単結晶基板として安価に供給されている。その品質は、GaAs等の他の基板に比べて格段に優れており安定している。しかも原料は無尽蔵に存在する。このように優れたSi基板を用いることができることは大きな長所である。すなわち、高速の電界効果型トラ

ンジスタを安定かつ安価に実現することができる。しかも本発明ではすべてS1系の材料を用いるため、既存の安定したシリコンテクノロジーをそのまま用いて、高い製造歩留りを得ることができる。

以上述べたように、本発明は数多くの優れた効果を有するものである。

#### 4. 図面の簡単な説明

第1図は本発明による電界効果型トランジスタの構造を示す断面図である。

第2図はS1Ge超格子を示す断面図である。

第3図は電子のドリフト速度と電界強度の関係を示す図である。

第4図(a)～(e)は本発明による電界効果型トランジスタの製造方法を示す製造工程図である。

第5図(a)、(b)は本発明による電界効果型トランジスタの特性を示す図である。

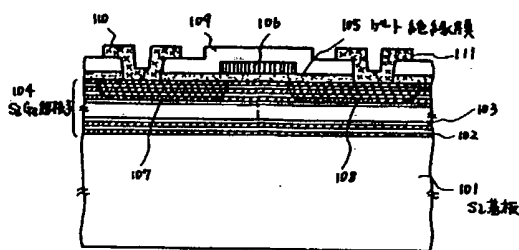
101, 201, 401 …… S1基板

104, 204, 404 …… S1Ge超格子  
405 …… S1薄膜  
105, 406 …… ゲート絶縁膜  
106, 407 …… ゲート電極  
107, 408 …… ソース領域  
108, 409 …… ドレイン領域

以上

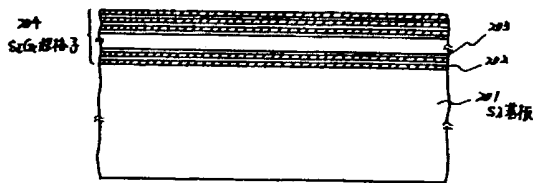
出願人 株式会社藤訪精工舎

代理人 弁理士 最上 務



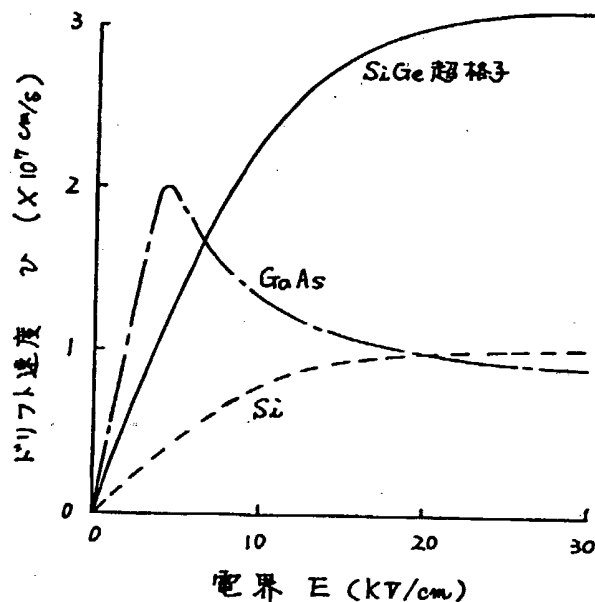
電界効果型トランジスタの断面図

第1図



SiGe超格子の断面図

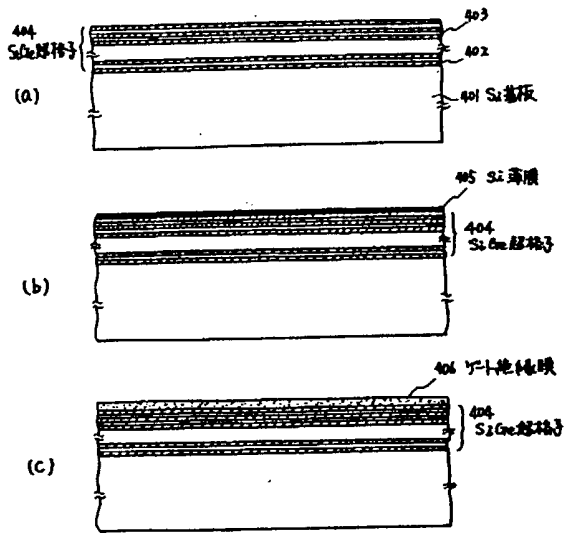
第2図



ドリフト速度と電界の関係を示す図

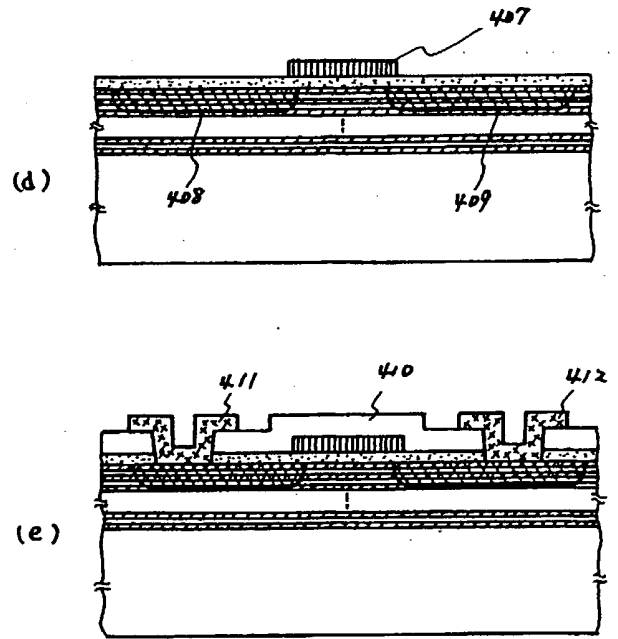
第3図





電界効果型トランジスタの製造工程図

第4図



電界効果型トランジスタの製造工程図

第4図

